

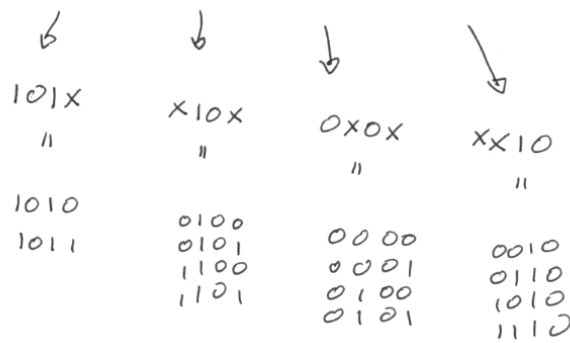
3

$$\bar{c} \cdot d \oplus \bar{b} = \bar{c}d \cdot \bar{b} + \overline{\bar{c}d} \cdot \bar{b} = \bar{c}db + (c+d) \cdot \bar{b}$$

$$= \bar{c}db + c\bar{b} + d\bar{b}$$

$$f = \bar{c}db + c\bar{b} + d\bar{b} + \bar{a}b$$

$$f(d,c,b,a) = d\bar{c}b + c\bar{b} + d\bar{b} + b\bar{a}$$



d c b a	f(d,c,b,a)
0000	1
0001	1
0010	1
0011	0
0100	1
0101	1
0110	1
0111	0
1000	0
1001	0
1010	1
1011	1
1100	1
1101	1
1110	1
1111	0

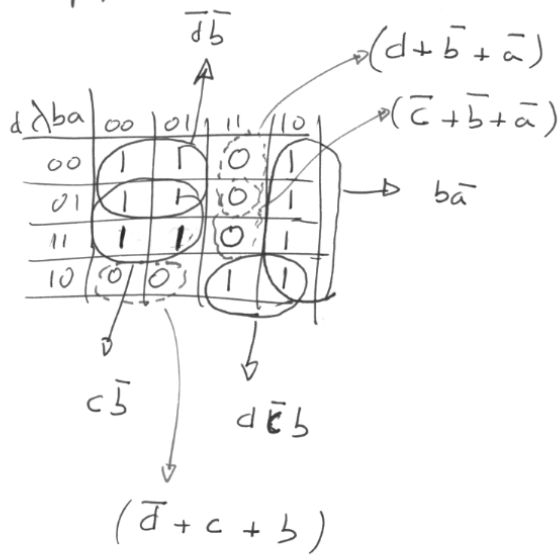
o bien:

a b c d	f(a,b,c,d)
0000	1
0001	0
0010	1
0011	1
0100	1
0101	1
0110	1
0111	1
1000	1
1001	0
1010	1
1011	1
1100	0
1101	1
1110	0
1111	0

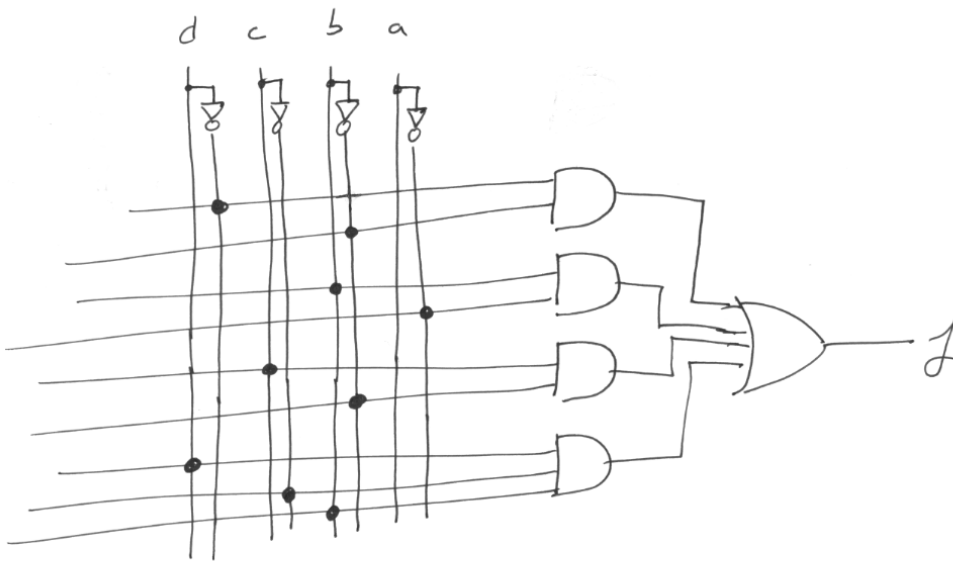
En forma canónica, por maxiterminos

$$f(d,c,b,a) = (d+c+\bar{b}+\bar{a})(d+\bar{c}+\bar{b}+\bar{a})(\bar{d}+c+b+a)(\bar{d}+c+b+\bar{a})(\bar{d}+\bar{c}+\bar{b}+\bar{a})$$

simplificando:



El circuito sería:



que, como  $\neg D \equiv \neg D$  se pueden sustituir  
 las puertas AND y la OR por NANDs, y los  
 negadores por

④

$$S = \overline{Q_1} \cdot \overline{E}$$

$\Rightarrow$  depende de las  
entradas

$\Rightarrow$  MEALY.

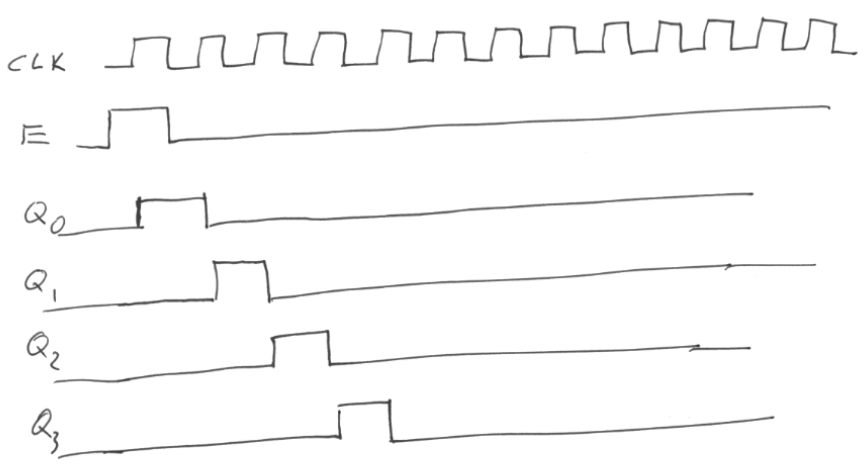
$$D_1 = Q_1 \overline{E}$$

$$D_0 = \overline{Q_0} E$$

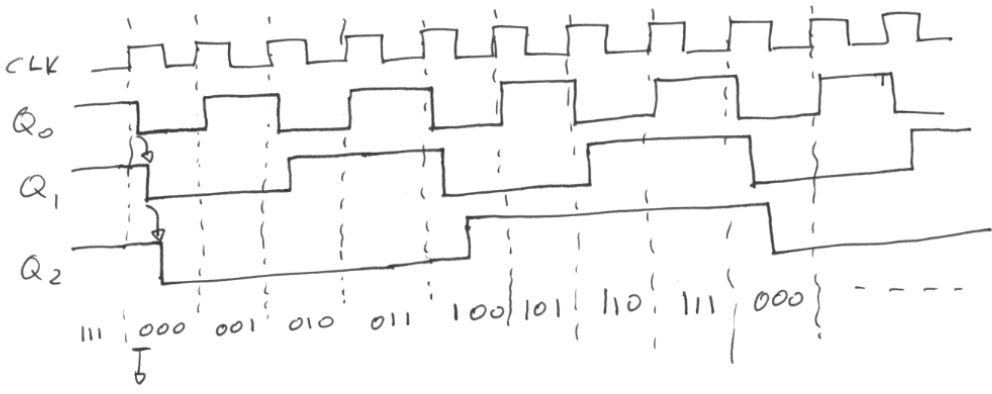
Tabla de transiciones

$Q_1 Q_0 E$	$D_1$	$D_0$	$S$
000	0	0	1
001	1	0	0
010	0	0	1
011	0	0	0
100	0	1	0
101	1	0	0
110	0	1	0
111	0	0	0

⑥ Es un registro de desplazamiento serie- paralelo.



⑦ Es un contador binario asincrónico de 3 bits.

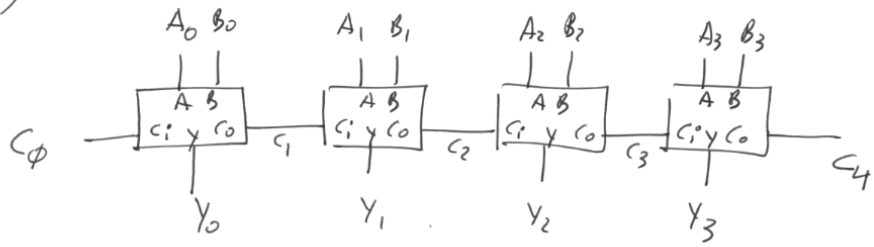


estados de cuenta extraños → 111 - 110 - 100 - 000 durante ns.

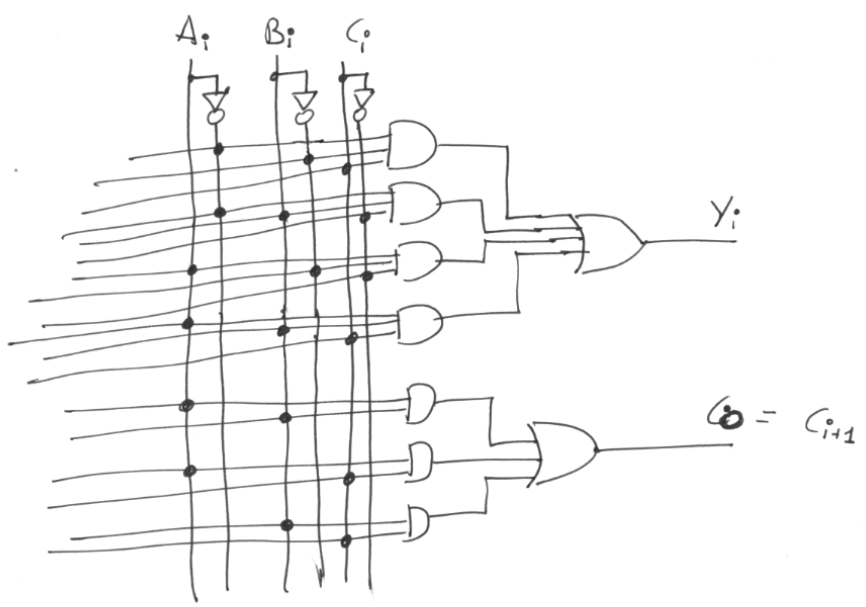
10

a) Sumador binario de dos números de 4 bits con acarreo serie.

b)



donde cada bloque es:



Configuración de todas las celdas como salidas activas a nivel alto (combinacionales)

La entrada 1 (CLV) se usa como entrada combinacional  $A_0$  (a través de la primera celda).

**Pregunta 10**

