

## EJERCICIOS

- 1.- Una determinada memoria tiene los parámetros  $t_A=300$  nseg. y  $t_C=470$  nseg. ¿Cuántas operaciones de lectura se pueden realizar como máximo en un segundo?.
- 2.- Contestar las siguientes cuestiones relativas a las memorias.
  - a) ROM
  - b) RAM estática
  - c) RAM dinámica

Cuestiones:

- 2.1 ¿Pueden alterarse los contenidos en la utilización normal de la CPU?
  - 2.2 Capacidad de almacenamiento por c.i.
  - 2.3 Tiempo de acceso (bajo/muy bajo/el más bajo)
  - 2.4 ¿Necesita refresco?
  - 2.5 ¿Es volátil?
- 3.- Diseñar un multiplicador rápido para dos números binarios de dos bits  $A1A0$ ,  $B1B0$ , empleando:
    - a) Una memoria ROM
    - b) Un PLA

NOTAS:

$T_A$  = t. acceso

$T_C$  = t. de ciclo de lectura

- Tanto PLA como FPLA se refieren a PLDs con los arrays AND y OR programables.
- Donde se pide utilizar la FPLA7475 se utilizará en su lugar la GAL16V8

Los catálogos necesarios se encuentran en los catálogos del departamento o en la página web en:

<http://www.ele-mariamoliner.dyndns.org/ver2.0/electronica/lodi/catalogos/>

Indicar el tamaño en ambos casos, señalando además algunas direcciones significativas y su contenido.

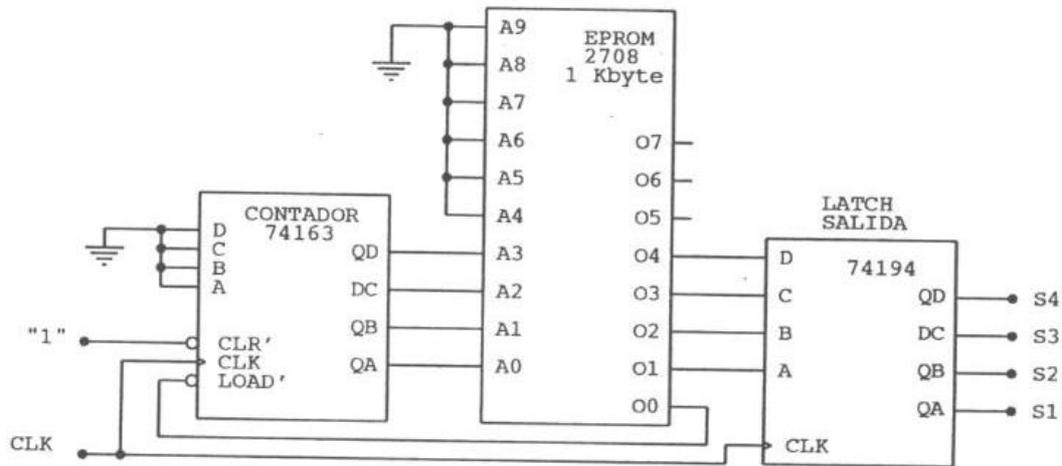
- 4.- Diseñar un conversor de código BCD de dos décadas con bit de signo a binario en complemento a 1, empleando:
  - a) Una memoria ROM
  - b) Un PLA

Indicar el tamaño en ambos casos, señalando además algunas direcciones significativas y su contenido.

- 5.- Diseñar un contador up/down BCD de un dígito, empleando:
  - a) Una memoria ROM
  - b) Un PLA

Indicar el tamaño en ambos casos, señalando además algunas direcciones significativas y su contenido.

- 6.- Diseñar un contador BCD ascendente módulo 100 con dos dígitos, empleando una memoria ROM. Realizar el mismo diseño con un PLA. Indicar el tamaño en ambos casos, señalando además algunas direcciones significativas y su contenido. Mostrar cómo se podrían conectar en cascada dos contadores de estas características para obtener un contador de cuatro dígitos BCD.
- 7.- Se desea programar el FPLA 7475, de dimensiones (14x96x8). ¿Cuántos enlaces fusibles presenta dicho circuito integrado antes de su programación?
- 8.- Diseñar una RAM de 4Kx2 bits tomando como elemento base el c.i RAM 2102 de 1 Kbit.
- 9.- Diseñar una RAM de 8Kbytes a partir del c.i RAM 2111 de 256x4 bits. Simplificar en lo posible la circuitería de decodificación externa.
- 10.- El circuito de la figura adjunta es un secuenciador constituido por los siguientes elementos:
  - El 74163 es un contador binario de 4 bits con carga paralela síncrona.
  - El 2708 es una memoria EPROM de 1Kbyte, constantemente validada. En sus salidas Q aparece el dato contenido en la posición direccionada por las entradas A9:A0.
  - El 74194 es un registro de desplazamiento universal configurado en modo de carga paralela síncrona.



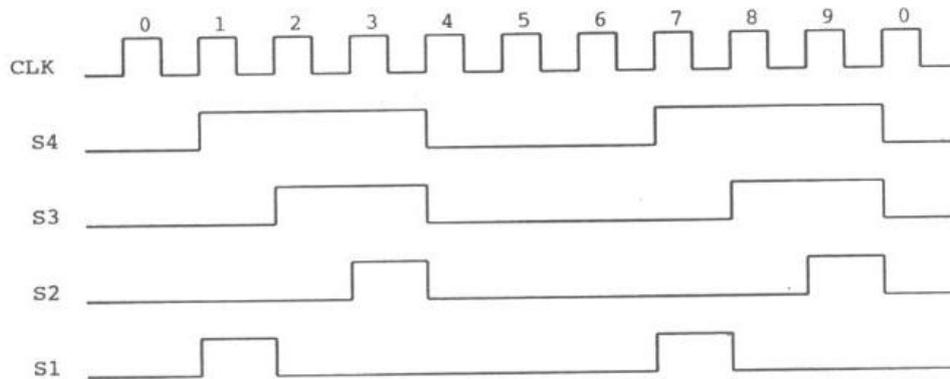
El contenido de la memoria (en hexadecimal) para las primeras posiciones es:

Dirección	Contenido
000	05
001	05
002	03
003	09
004	0F
005	1D
006	05
007	11
008	01
009	0B
00A	09
00B	08
00C	09
00D	1D
00E	01
00F	03

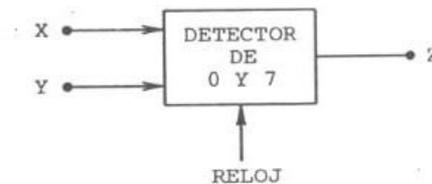
Se pide:

- Describir cualitativamente el funcionamiento del circuito después de un reset.
- Si no se vuelve a producir un reset, ¿en qué condiciones vuelve a cero el contador?.
- Representar en un diagrama de tiempos Q0, Q1, Q2, Q3, Q4, S1, S2, S3 y S4, partiendo el contador en estado cero. Supóngase que el tiempo de acceso a memoria es considerablemente menor que el período de reloj.

- d) ¿Cuál debería ser el contenido de la memoria si se quiere generar la secuencia siguiente?



- 11.- La estructura de una máquina secuencial puede ser realizada en la práctica mediante una memoria PROM. Como ejercicio realice el siguiente sistema:



Los números entre 0 y 7 expresados en forma binaria se transmiten en serie por una línea de datos Y. Primero se transmite el bit más significativo y la transmisión está sincronizada con una señal de reloj. Se desea diseñar un circuito como el de la figura, tal que la salida Z nos entregue un uno durante el tiempo del tercer bit si la combinación que llegó a través de Y fue 0 ó 7, permaneciendo el resto de tiempo a cero. Por último, la entrada X es la única que permite inicializar el sistema. Si X=1 el sistema no actúa, permaneciendo en el estado inicial. Sólo si X=0 tratará de detectar el 0 ó el 7 inmediatamente después de pasar X de uno a cero. Se pide:

- Escribir el diagrama de estados.
- Implementar el circuito utilizando una PROM con cinco entradas de direccionamiento (A4:A0) que direccionan posiciones con cuatro bits (Q3:Q0), y biestables RS activos a nivel alto (NOR) disparados por flanco de subida.
- ¿Cuál debe ser la información contenida en la memoria PROM?. Indicarlo en una tabla donde se correspondan las direcciones y su contenido.