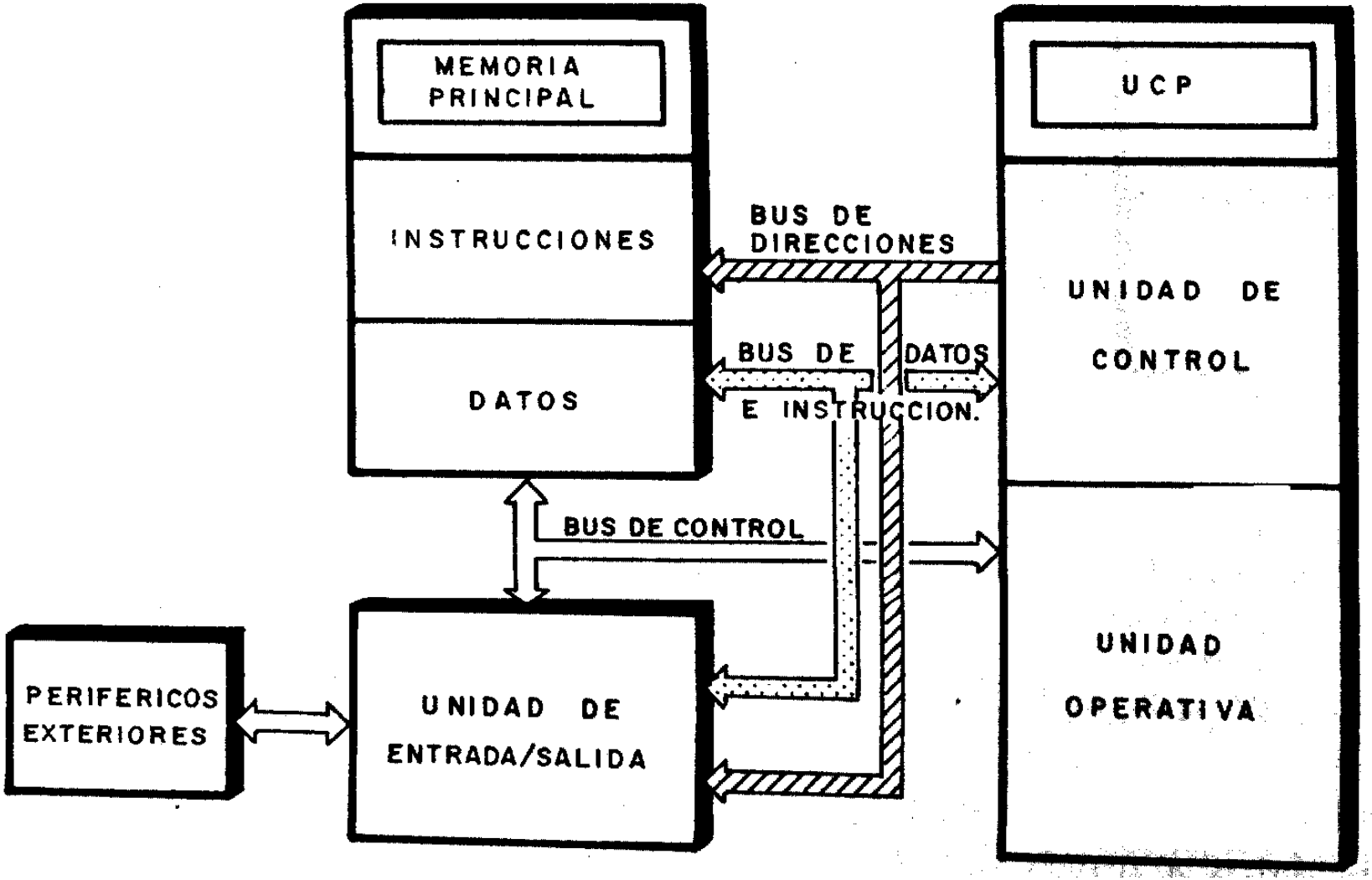
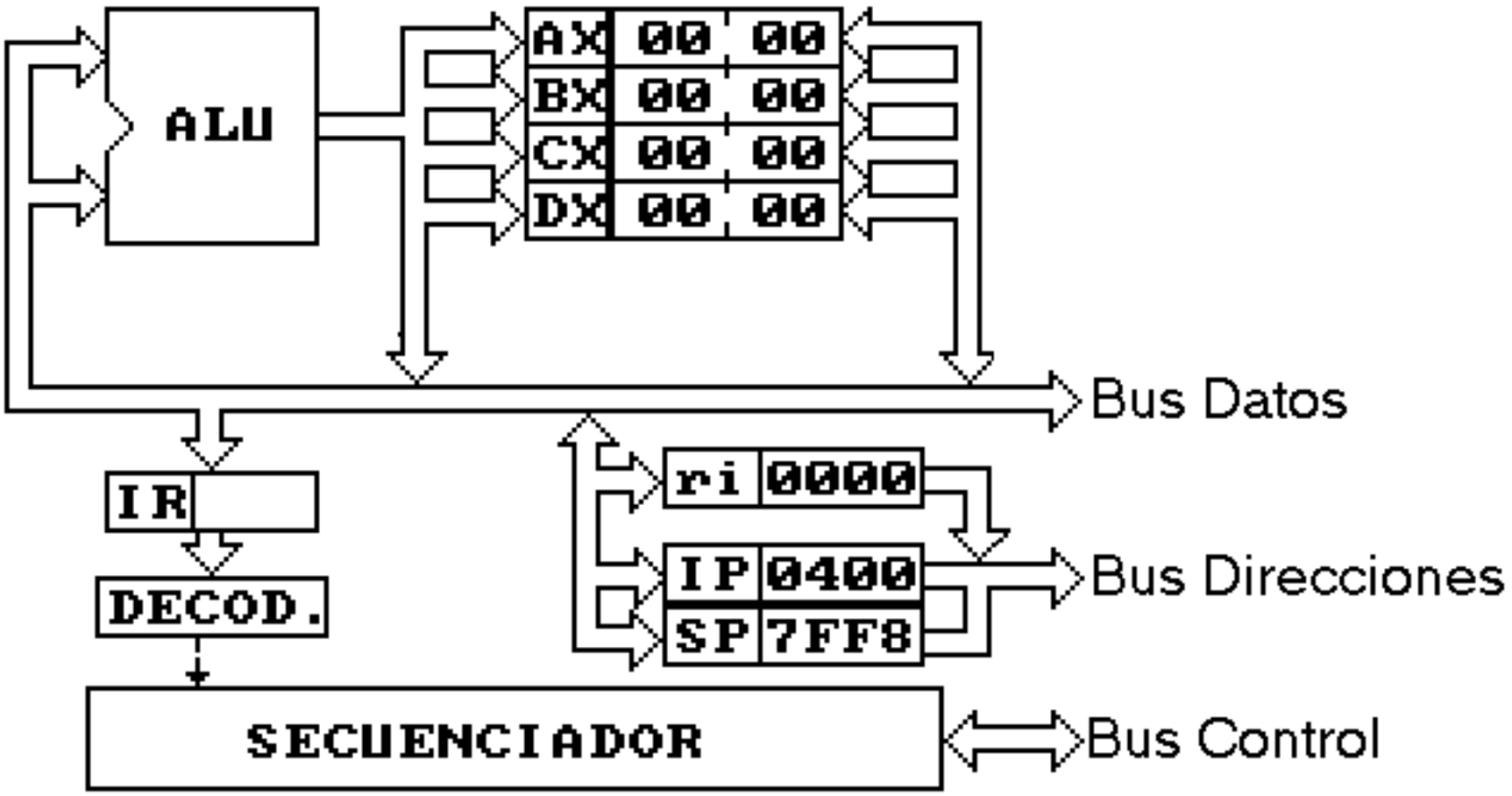
Contenidos

- Arquitectura de ordenadores (fundamentos teóricos)
  - Representación de la información
  - Estructura de un microprocesador
  - Memorias
  - Sistemas de E/S
- Elementos de un ordenador
  - Microprocesador
  - Placa base
  - Chipset
  - Memoria
  - Conexión de periféricos
  - BIOS
- Periféricos
  - Conexión al ordenador
  - Periféricos de entrada
  - Periféricos de salida
  - Periféricos de entrada/salida

Estructura general del ordenador



Estructura de una CPU



Direc.	Contenido	Linea
		ORG 400H
400	b80500	MOV AX,05H
403	bb0700	MOV BX,07H
406	03c3	ADD AX,BX
		END

PROGRAMA EJE1.ASM. ACCIONES REALIZADAS POR LA CPU EN LA EJECUCIÓN

- Búsqueda del código de la 1ª operación
  - IP −> bus de direcciones
  - orden de lectura
  - (0400) −> bus de datos
  - (Bus de datos) −> IR
  - Decodificación
  - (IP) + 1 −> IP
- Carga del registro AX
  - IP −> bus de direcciones
  - orden de lectura
  - (0401) −> bus de datos
  - (bus de datos) −> AL
  - (IP) + 1 −> IP
  - IP −> bus de direcciones
  - orden de lectura
  - (0402) −> bus de datos
  - (bus de datos) −> AH
  - (IP) + 1 −> IP
- Búsqueda del código de la 2ª operación
  - IP −> bus de direcciones
  - orden de lectura
  - (0403) −> bus de datos
  - (Bus de datos) −> IR
  - Decodificación
  - (IP) + 1 −> IP

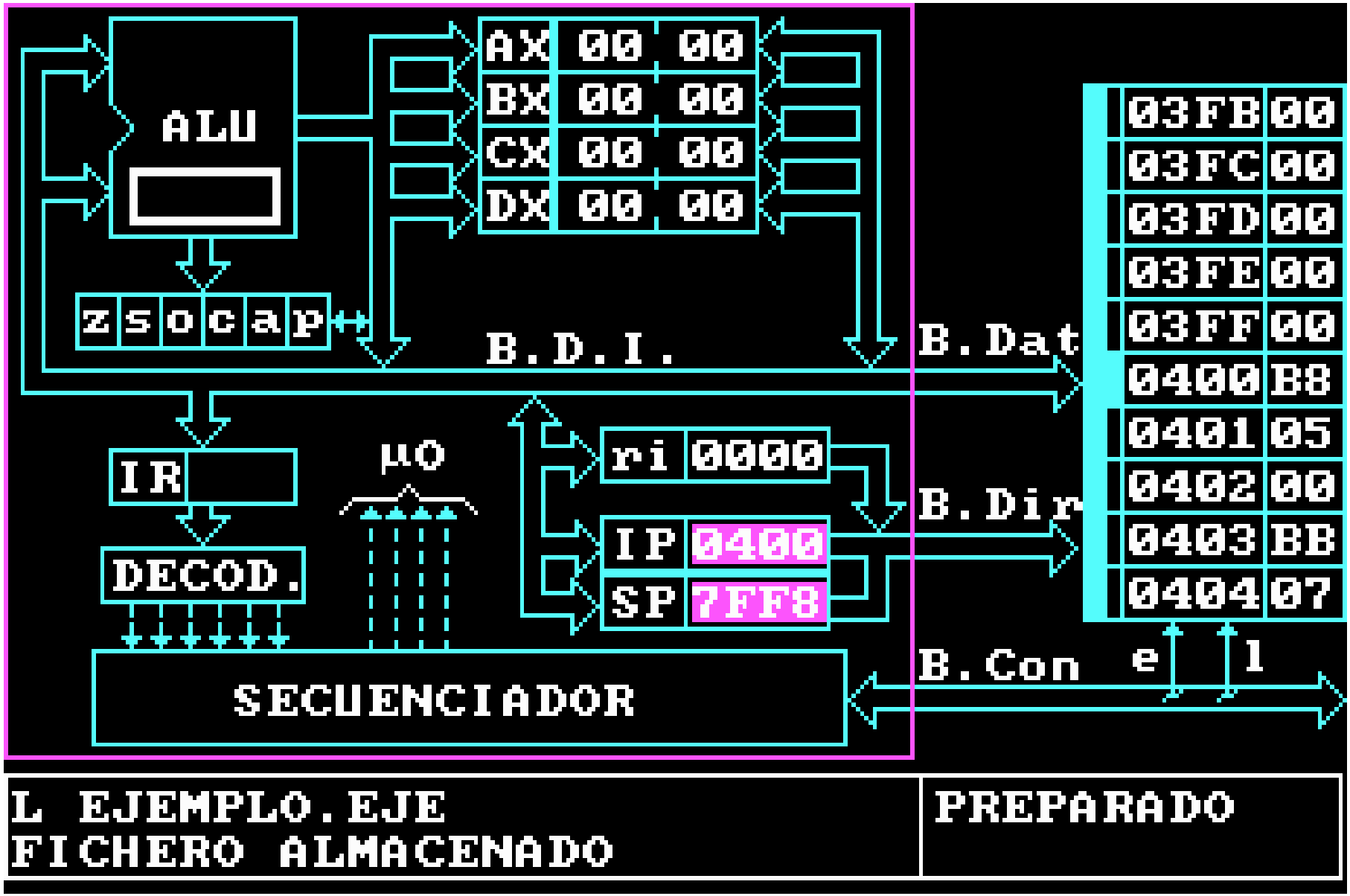
◆Carga del registro BX
–IP −> bus de direcciones
–orden de lectura
–(0404) −> bus de datos
–(bus de datos) −> BL
–(IP) + 1 −> IP
–IP −> bus de direcciones
–orden de lectura
–(0405) −> bus de datos
–(bus de datos) −> BH
–(IP) + 1 −> IP

◆Búsqueda del 1er byte de código de la 3ª operación
–IP −> bus de direcciones
–orden de lectura
–(0406) −> bus de datos
–(Bus de datos) −> IR
–Decodificación
–(IP) + 1 −> IP

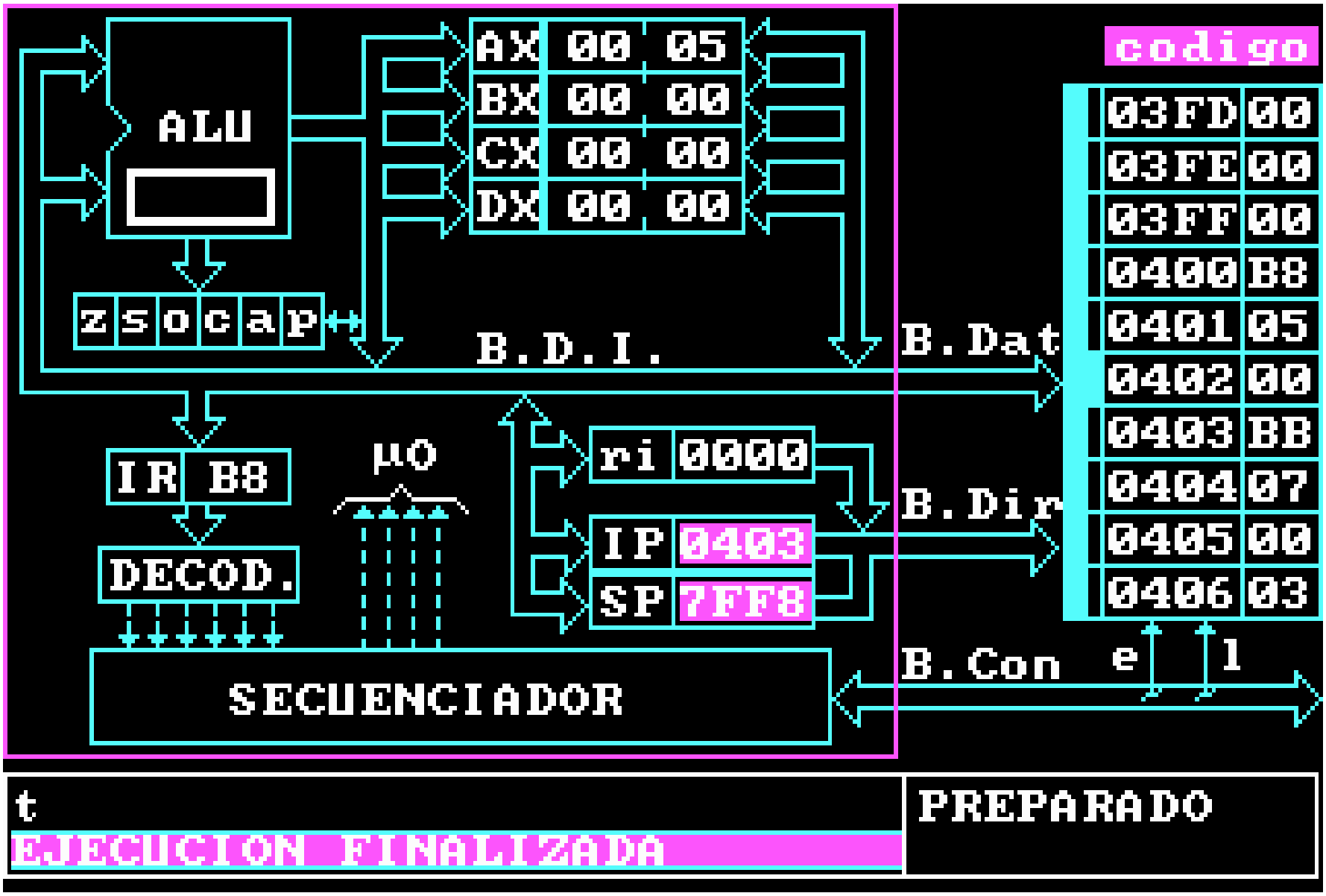
◆Búsqueda del 2º byte de código de la 3ª operación
–IP −> bus de direcciones
–orden de lectura
–(0407) −> bus de datos
–(Bus de datos) −> IR
–Decodificación
–(IP) + 1 −> IP

◆Suma de AX y BX
–(AX) −> b.datos interno −> ALU
–(BX) −> b.datos interno −> ALU
–Suma de datos −> b. datos interno −> AX
–actualización de flags
–(IP) + 1 −> IP

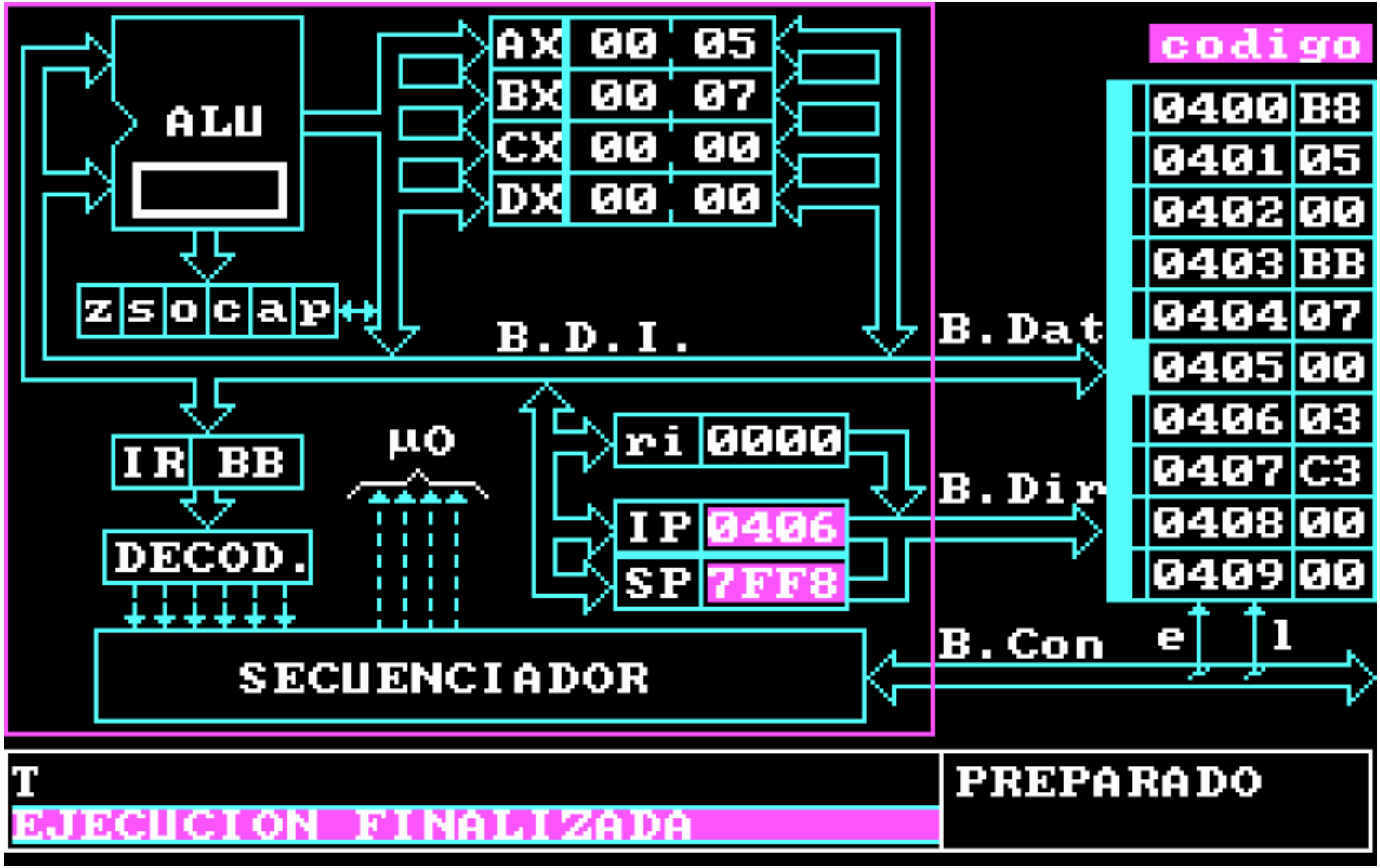
MOV AX,05H


ALU
AX 00 00
BX 00 00
CX 00 00
DX 00 00
z s o c a p
B.D.I.
B.Dat
03FB 00
03FC 00
03FD 00
03FE 00
03FF 00
0400 B8
0401 05
0402 00
0403 BB
0404 07
IR
µO
ri 0000
IP 0400
SP 7FF8
B.Dir
DECOD.
B.Con
e
l
SECUENCIADOR
L EJEMPLO.EJE
FICHERO ALMACENADO
PREPARADO

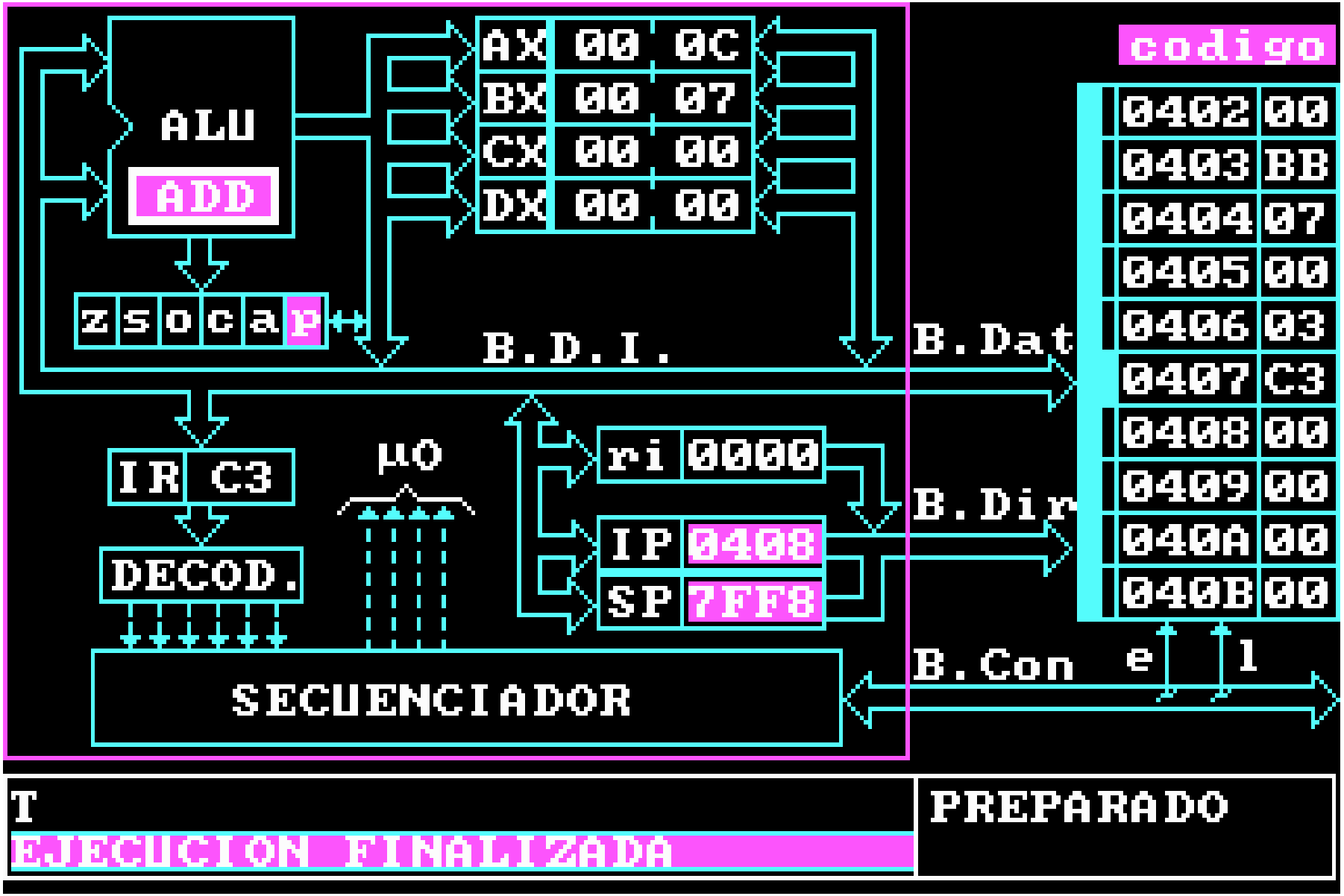
MOV BX,07H


ALU
z s o c a p
AX 00 05
BX 00 00
CX 00 00
DX 00 00
B.D.I.
B.Dat
codigo
03FD 00
03FE 00
03FF 00
0400 B8
0401 05
0402 00
0403 BB
0404 07
0405 00
0406 03
IR B8
DECOD.
µO
ri 0000
IP 0403
SP 7FF8
B.Dir
B.Con e l
SECUENCIADOR
t
EJECUCION FINALIZADA
PREPARADO

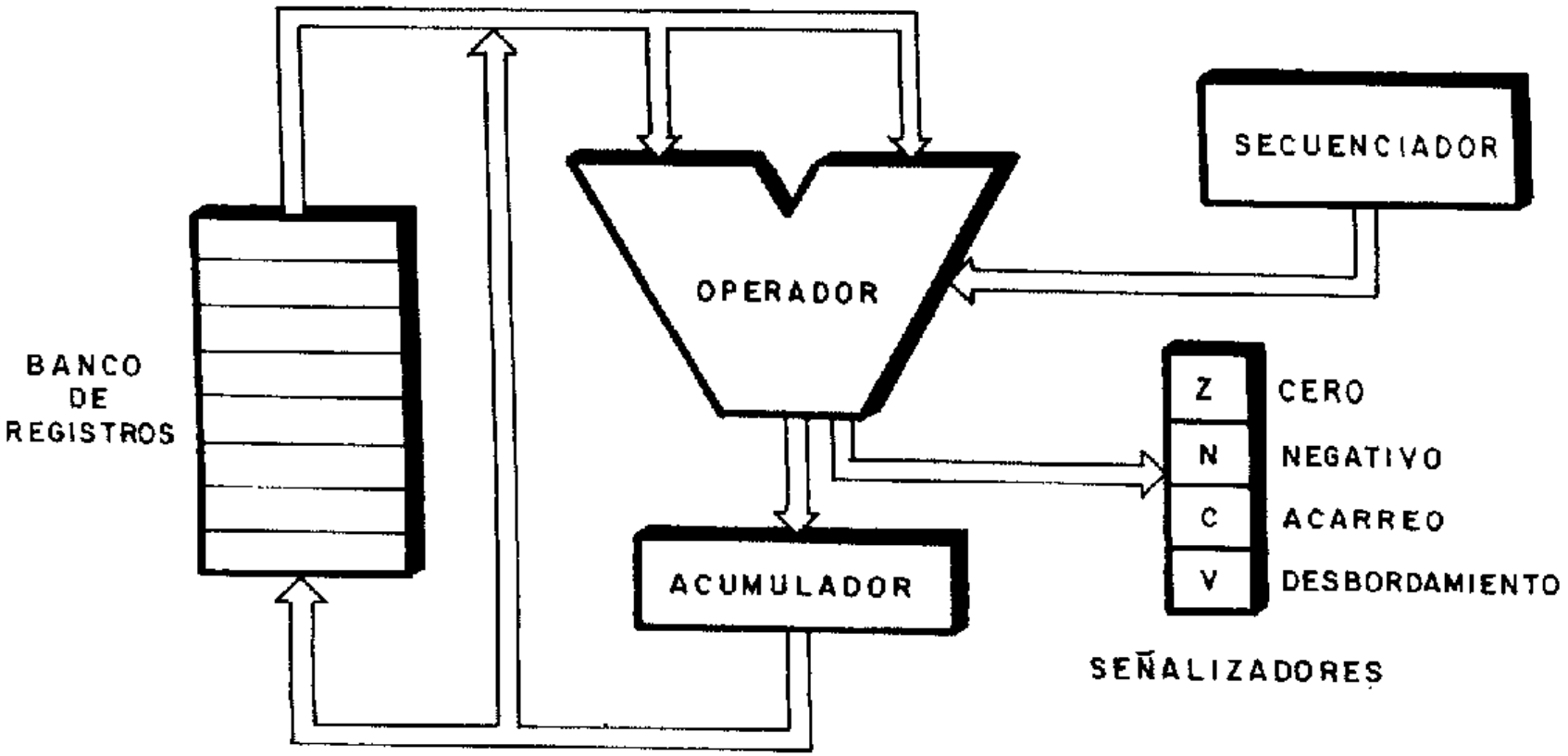
ADD AX,BX


ALU
z s o c a p
AX 00 05
BX 00 07
CX 00 00
DX 00 00
B.D.I.
B.Dat
codigo
0400 B8
0401 05
0402 00
0403 BB
0404 07
0405 00
0406 03
0407 C3
0408 00
0409 00
IR BB
μO
DECOD.
ri 0000
IP 0406
SP 7FF8
B.Dir
B.Con
e
l
SECUENCIADOR
T
EJECUCION FINALIZADA
PREPARADO

PROGRAMA FINALIZADO



La ALU


SECUENCIADOR
OPERADOR
BANCO
DE
REGISTROS
ACUMULADOR
Z
CERO
N
NEGATIVO
C
ACARREO
V
DESBORDAMIENTO
SEÑALIZADORES

Tipos de instrucciones

- Transferencia de datos
- Aritméticas
- Lógicas
- Transferencia de control del programa
- Interrupción

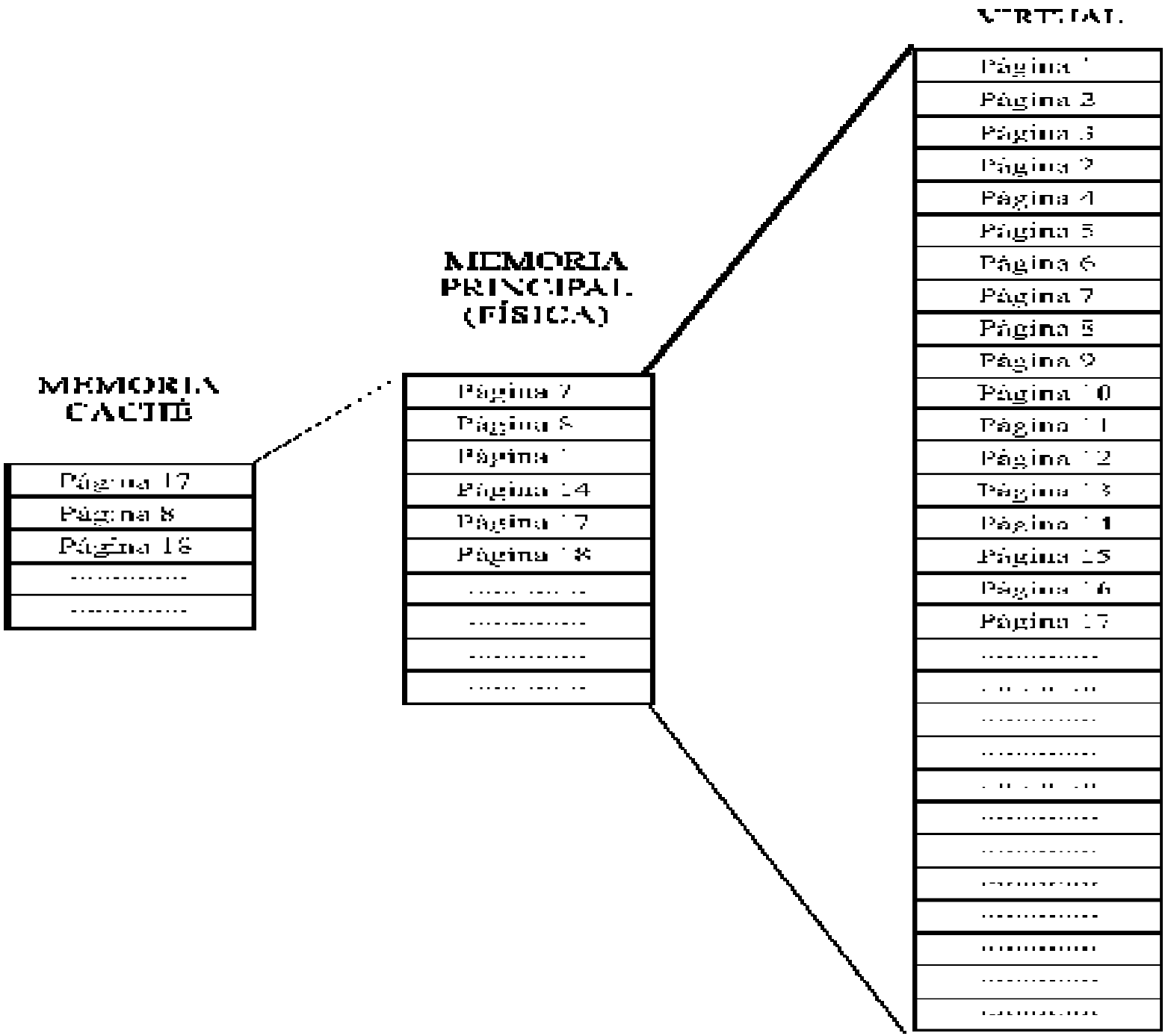
- Instruciones de tres operandos −> se realiza operaciones con dos y el resultado se almacena en el tercero
- Instrucciones de dos operandos −> el resultado se almacena en uno de los dos operandos
- Instruciones con un operando −> el acumulador se utiliza como 2º operando y también para almacenar el resultado

Tipos de memoria de semiconductores

- De lectura y escritura (RAM)
  - Estáticas (SRAM)
  - Dinámicas o con refresco (DRAM)
- De solo lectura
  - ROM (Read Only Memory)
  - PROM (Programable ROM)
  - EPROM (Erasable PROM)
  - EEPROM (Electricaly Erasable PROM)
  - FLASH

Elementos típicos

- Bus de datos
- Bus de direcciones
- Señales de control (activas todas a nivel bajo)
  - OE −> activa la salida triestado de la memoria
  - CS o CE −> activa el chip
  - WE −> señal de escritura
  - RAS o CAS −> señales de refresco de las RAM dinámicas


MEMORIA CACHÉ
Página 17
Página 8
Página 16
MEMORIA PRINCIPAL (FÍSICA)
Página 7
Página 8
Página 14
Página 17
Página 18
Página 1
Página 2
Página 3
Página 4
Página 5
Página 6
Página 7
Página 8
Página 9
Página 10
Página 11
Página 12
Página 13
Página 14
Página 15
Página 16
Página 17

Tecnologías de memoria RAM

	Tiempo acceso	Precio por Mb (ptas)	Tiempo de acceso	Precio por Mb (ptas)
SRAM	8−35ns	10.000−40.000		
DRAM	90−120ns	2.500−5.000	Hasta 4ns	22−30
Disco duro	10−20ms	100−200	4−10ms	0’4−0’8

Jerarquia de memorias

- Memoria cache (SRAM): hasta 1Mb
- Memoria física (DRAM): hasta 1Gb
- Memoria virtual (Disco): hasta 60Gb

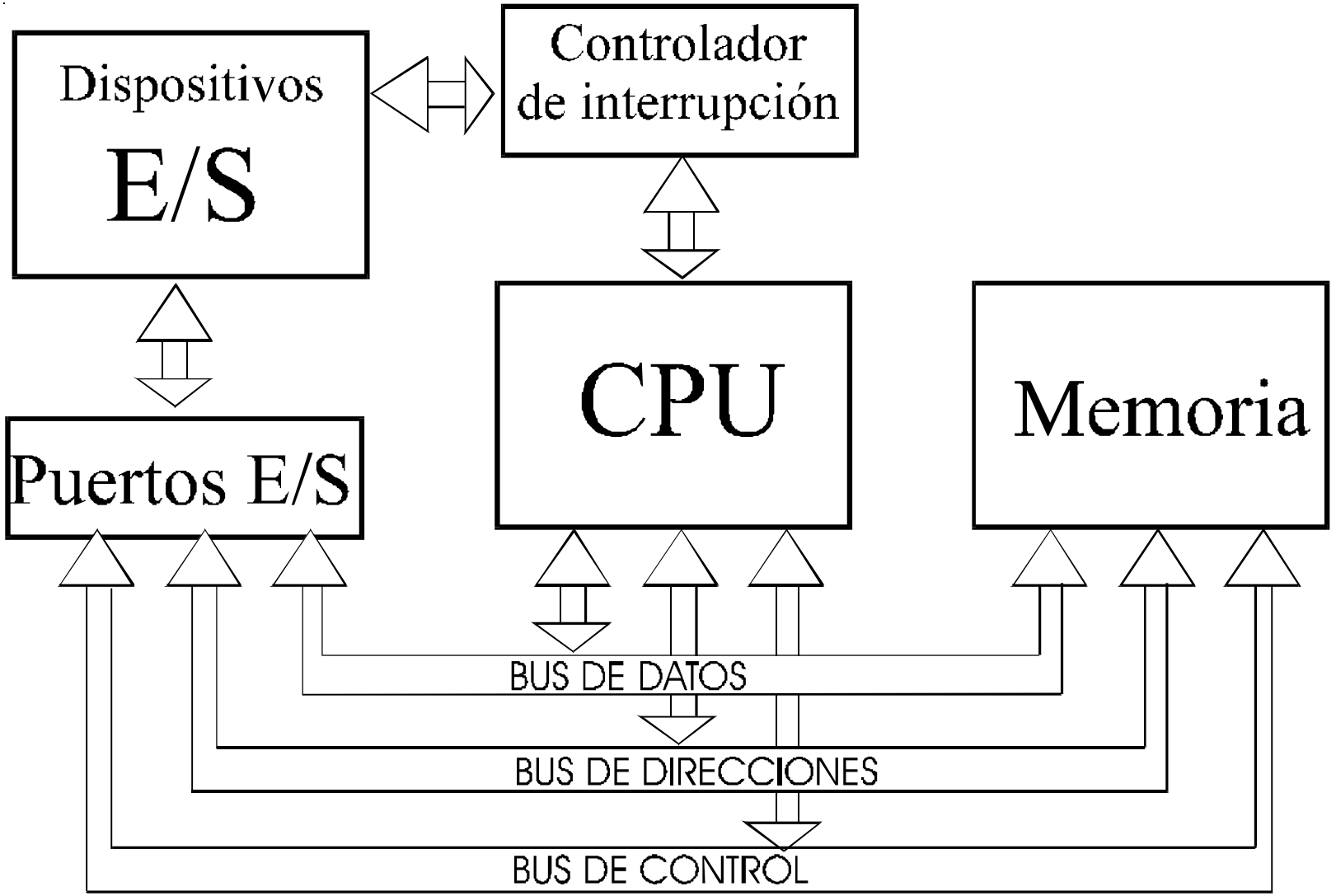
E/S por programa

- Se realiza por instrucciones de E/S
  - Específicas −> Mapa de memoria independiente
    - » IN = lectura de un puerto
    - » OUT = escritura en un puerto
  - Generales −> E/S mapeada en memoria
    - » MOV = lectura/escritura de puertos
- Los puertos van conectados al bus de datos
  - Son posiciones especiales de memoria o E/S
  - Se conectan al exterior mediante buffers
- Mejora del rendimiento de E/S
  - Atención de E/S por interrupción
  - E/S por DMA

E/S por interrupción

- Necesidad de interrupciones −> evitar que la CPU tenga qu estar pendiente de todos los periféricos
- Gestión de la interrupción
  - Cuando un periférico interrumpe a la CPU se corta la ejecución del programa y se ejecuta una rutina de tratamiento de la interrupción.
  - Permite la asignación de prioridades
- Dos modos:
  - Interrupción única
    - » Una línea de INT única
    - » Todos los periféricos se conectan a INT mediante una puerta OR
    - » Cuando se activa INT, la CPU comprueba todos los periféricos para ver cual es el peticionario de interrupción.
  - Interrupciones vectorizadas
    - » La línea de INT va conectada a un controlador de interrupción
    - » El controlador tiene una entrada de interrupción para cada dispositivo
    - » Cuando se activa INT la CPU se comunica con el controlador (ciclos de INTA) y lee un vector de interrupción
    - » Se especifica la rutina de tratamiento de la interrupción que especifique el vector de interrupción

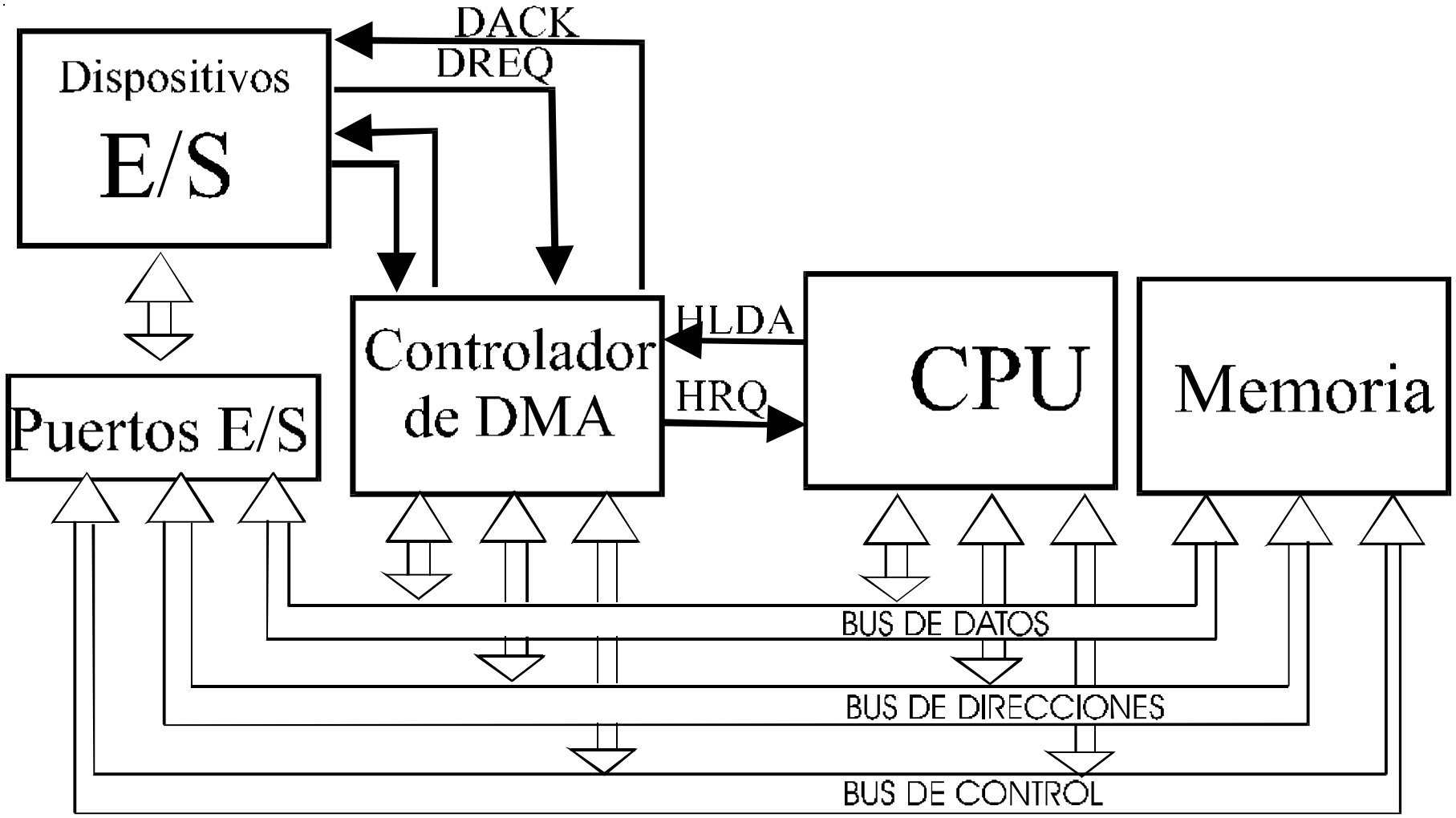
Conexión del controlador de interrupción en el sistema



E/S por DMA

- Necesidad de DMA −> liberar de trabajo a la CPU en grandes transferencias de datos
- Tipos de transferencia
  - E/S −> memoria
  - memoria −> E/S
  - memoria −> memoria
- Gestión de la transferencia
  - Se programa el controlador con las direcciones de origen y destino y el la cantidad de datos a transmitir
  - El controlador de DMA realiza la transferencia independientemente de la CPU
- Modos de funcionamiento
  - Con memoria multipuerta −> se reserva una puerta para la CPU y una puerta para cada canal de DMA
  - Por robo de ciclo −> el controlador de DMA toma el control de los buses para realizar las transferencias

E/S por DMA por robo de ciclo



Procesadores CISC y RISC

- Procesadores CISC (juego de instrucciones complejo)
  - Se utilizan cuando la CPU era más rápida que la memoria
  - Tienen un juego de instrucciones amplio
  - Las instrucciones son complejas (de alto nivel)
  - Las instrucciones se implementan con microprogramación
  - Utilizan mucho más la pila que los registros
- Procesadores RISC (juego de instrucciones reducido)
  - Se utilizan cuando la velocidad de la memoria alcanza a la de la CPU (aparición de la memoria caché)
  - Tienen pocas instrucciones (<50)
  - Las instrucciones son de bajo nivel
  - Las instrucciones se implementan por hardware
  - Se aumenta el número de registros para evitar los accesos a memoria
  - El formato de las instrucciones y su longitud están normalizados para favorecer el *pipeline*
  - Requieren el empleo de coprocesador, al ser el juego de instrucciones básico