



1. - Se desea disponer de un contador asíncrono de rizado que cuente de 0 a 50. Utilizar para ello flip-flops J-K activados por el flanco negativo con entrada asíncrona directa de reset y las puertas lógicas necesarias.
- 2.- Diseñar un contador de módulo 256 utilizando dos contadores '161.
- 3.- A partir de un Flip-flop tipo D y las puertas lógicas necesarias, diseñar un Flip-flop J-K.
4. - Se desea diseñar un contador binario que haga cuentas pares o impares bajo el control de una entrada U. Si U=0 la cuenta será: 0,2,4,6 y si U=1 la cuenta será: 1,3,5,7.

Considerar que la entrada de control U sólo puede cambiar mientras el contador está en el estado más elevado de la cuenta par o impar. El paso de la cuenta impar a par (al ponerse U=0) se hará decrementando en una unidad el estado más alto de la cuenta impar. Por el contrario, el paso de la cuenta par a la impar (al ponerse U=1) se hará incrementando en una unidad el máximo estado par.

Utilizar flip-flops J-K disparados por el flanco de bajada con entradas asíncronas activas a nivel bajo para la inicialización.

5. - Diseñar un contador binario síncrono reversible de módulo 5 como autómata de Moore. El orden de la cuenta se controlará a través de una entrada M tal que:

Si M=1, el contador cuenta en orden creciente
Si M=0, el contador cuenta en orden decreciente.

Implementarlo con flip-flops J-K y las puertas lógicas necesarias. ¿cómo sería el diagrama de flujo del contador diseñado como autómata de Mealy?

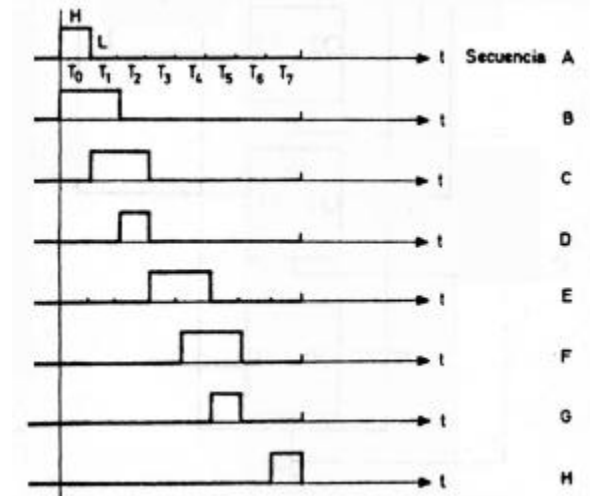
6. - Consideramos un contador de anillo de 4 bits cuya secuencia es:

$$Q_0Q_1Q_2Q_3 = 1000 \rightarrow 0100 \rightarrow 0010 \rightarrow 0001$$

- a) Demostrar que si por accidente o alguna perturbación el contador se encuentra en un estado diferente a los cuatro estados permitidos, realizará una secuencia a través de estados no permitidos sin volver nunca a la secuencia esperada (se bloqueará).

- b) A continuación considerar que se realiza una pequeña modificación en el contador de anillo. Esta modificación consiste en añadir una puerta lógica cuya salida es Do y que realiza la función $D_0 = \overline{Q_0}\overline{Q_1}\overline{Q_2}$ en vez de conectar Q_3 directamente a D_0 . Demostrar que en este caso, si el contador abandona su secuencia de conteo, se autocorregirá, evitándose, pues, el bloqueo.
- c) Modificar el circuito del apartado b) si la secuencia de conteo tiene un 0 que se desplaza por el contador en vez de un 1.

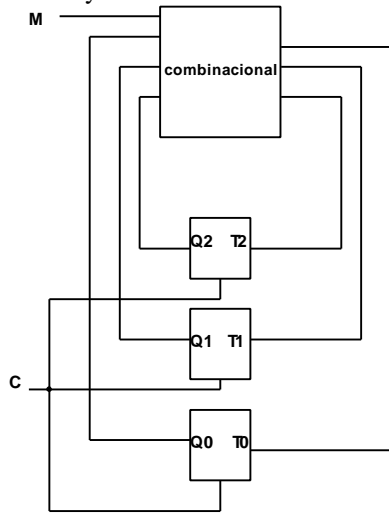
7. – Diseñar utilizando un contador Johnson con cuatro flip-flops y las puertas lógicas necesarias las formas de onda A, B, C, D, E, F, G, H que aparecen en la figura.



- 8.- Diseñar un contador síncrono de módulo 5 que recorra las secuencias: 000 → 001 → 010 → 011 → 100 utilizando:

- a) Flip-flops R-S
- b) Flip-flops D
- c) Flip-flops T

9. - Analizar el siguiente circuito y describir su funcionamiento.



$$T_2 = Q_2 \bar{Q}_0 + Q_1 Q_0 M + \bar{Q}_2 \bar{Q}_1 Q_0 \bar{M} + Q_2 \bar{Q}_1 Q_0 \bar{M}$$

$$T_1 = Q_1 \bar{Q}_0 + \bar{Q}_1 Q_0 + \bar{Q}_2 Q_0 M + Q_2 Q_0 \bar{M}$$

$$T_0 = \bar{Q}_0 + \bar{Q}_2 Q_1 \bar{M} + Q_2 Q_1 M$$

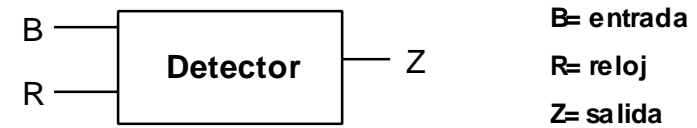
10.- Los números entre 0 y 3, expresados en forma binaria, se transmiten en serie por una línea de datos Y. El primer bit que se transmite es el más significativo, y a continuación lo hace el menos significativo. la transmisión está sincronizada con el reloj. Se desea diseñar un circuito secuencial síncrono como el de la figura



tal que la salida Z entregue un "1" durante el tiempo en el que se está transmitiendo el segundo bit, si la combinación que llegó a través de Y fue 0 o 3, permaneciendo el resto del tiempo a "0". La entrada X es la única que puede inicializar el sistema: X="1" provoca el paso al estado inicial en el que Z="0", y en este estado queda el sistema sin responder a los eventuales cambios de Y hasta el ciclo en el que X="0" lo que indica la transmisión del bit más significativo del dato por Y. El diseño ha de realizarse utilizando el mínimo número de Flip-flops J-K.

11. - En un sistema de transmisión serie, los bits se han codificado para que nunca aparezcan en la línea 2 o más "unos" consecutivos, o cuatro o más "ceros" consecutivos. Los bits de información se transmiten en sincronismo con el reloj.

Se desea diseñar un circuito secuencial indicador de errores, como el de la figura:



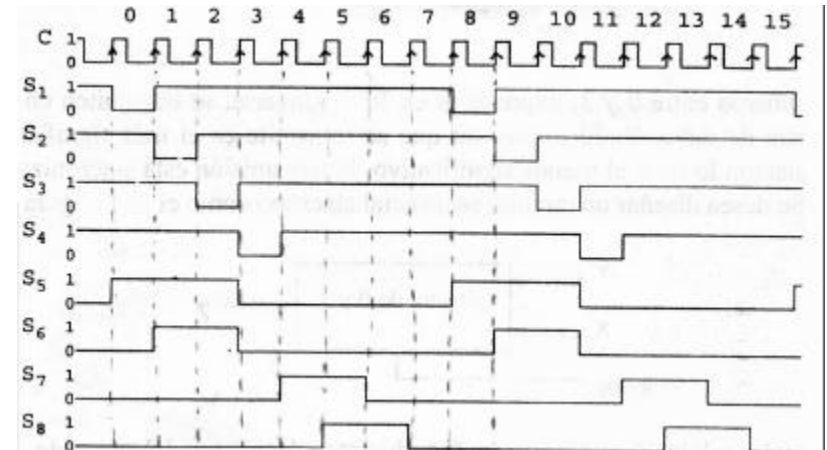
Este detector señalará un error generando un "1" en la línea de salida Z que coincide con el cuarto de cada secuencia de cuatro "0", o con el segundo de cada secuencia de dos "1". Si aparecen tres o más "1" consecutivos o 5 o más "0" consecutivos, la salida debe permanecer en "1" (las secuencias se solapan).

- a) Realizar el diseño utilizando un registro de desplazamiento y la lógica combinacional necesaria
- b) Realizarlo como un circuito secuencial síncrono de Mealy utilizando el mínimo número de Flip-flops J-K.

12. - Se dispone de los siguientes integrados:

- '161: Contador binario síncrono de 4 bits.
- '138: Decodificador de 3 entradas con salidas activas en nivel bajo
- '00: 4 puertas NAND de 2 entradas.

Utilizando exclusivamente 4 integrados en total, diseñar un generador de secuencias que a partir de una señal de reloj C, produzca las señales S₀ a S₇ que aparecen en la figura. Evitar los fenómenos aleatorios en las secuencias.

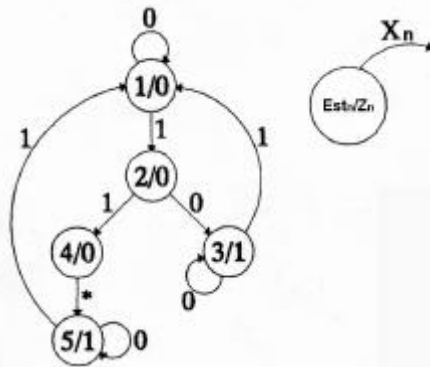


13.- Construir un circuito secuencial síncrono con una entrada asíncrona X y una salida S tal que al introducir un pulso por X ($X=“1”$), con una duración mayor a la del periodo de la señal de reloj, en S aparezca un pulso sincronizado con el reloj y de anchura igual a su periodo, independientemente del tiempo que X se mantenga en “1”. Hacer el diseño:

- a) con el mínimo número de flip-flops.
- b) con un registro de desplazamiento (semejante al estudiado para el detector de secuencias en teoría).

14. – Implementar un circuito secuencial síncrono de Mealy con dos entradas (X_1X_0) y una salida Z. Si $X_1X_0=“00”$, $Z=“0”$. Para hacer $Z=“1”$ ha de producirse primero el cambio de X_0 : “0”→“1” y, manteniéndose $X_0=“1”$, que cambie X_1 : “0”→“1”. Z se vuelve a hacer $Z=“0”$ cuando $X_1X_0=“00”$, sin importar el orden en el que se produzcan los cambios. Considerar que en un mismo ciclo de reloj no se pueden producir cambios en las dos entradas.

15. – Considere un autómata síncrono con una entrada X y una salida Z cuyo diagrama de flujo es el siguiente:



Implementarlo con un contador ‘161 y las puertas lógicas necesarias.

16.- Se dispone de una señal digital periódica C de periodo T y ancho de pulso T/10. Diseñar un circuito secuencial síncrono que a partir de dicha señal y en sincronismo con sus flancos de subida, genere otra señal periódica S cuyo periodo y ancho de banda deban ser seleccionables mediante dos señales de control C_1C_0 de tal forma que:

C_1	C_0	S	
		Ancho de pulso	Periodo
0	0	No se genera pulso	
0	1	T	2T
1	0	2T	3T
1	1	3T	4T

17. - Diseñar un circuito secuencial síncrono de Moore para la activación/desactivación de una alarma. El circuito debe funcionar como se describe a continuación:

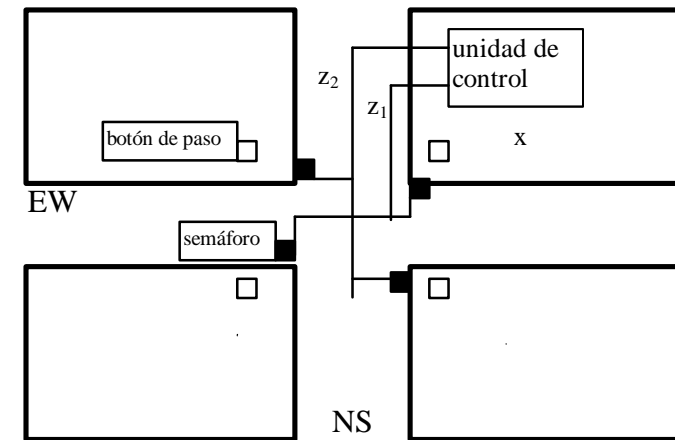
- Dispondrá de una entrada de reloj (C), una entrada de “detección de alarma” (E) y una salida de “encendido de alarma” (S).
- La salida se hará $S=“1”$ si $E=“1”$ en presencia de 3 pulsos de reloj consecutivos.
- Si $S=“1”$, sólo se hará $S=“0”$ cuando $E=“0”$ en presencia de 2 pulsos de reloj consecutivos.

Diseñar el circuito utilizando el mínimo número de flip-flops J-K

18. - ¿Qué secuencia de conteo realizaría un contador asíncrono de rizado como el estudiado en teoría pero constituido por flip-flops activados por el flanco positivo en vez del negativo? Explicar razonadamente.

19. - Los semáforos que controlan la intersección de dos calles emplean un sistema digital cuya tarea consiste en conmutar las luces de los semáforos según cual sea el flujo de vehículos y peatones.

Consideremos el esquema de la figura. Esta figura representa el cruce de dos calles, una de ellas sigue la dirección norte-sur (NS) y la otra la dirección este-oeste (EW). La regulación del tráfico en la zona está controlada por una unidad de control (TC) que consiste básicamente en un circuito secuencial síncrono con una única entrada X y dos salidas Z_1 y Z_2 que activarán los semáforos de la calle EW y de la calle NS respectivamente. La entrada X es activada por los peatones al atravesar cualquiera de las dos calles y hace que el tráfico en ambas direcciones se detenga.



El sistema funciona de la siguiente manera:

1.- Cuando no hay ningún peatón que pulse el interruptor ($X = "0"$) los semáforos permiten el tránsito de vehículos por la calle NS durante 1 minuto; es decir, están en verde en la dirección NS y en rojo en la dirección EW. Después los semáforos cambian automáticamente para abrir el paso a los vehículos que circulan en la dirección EW y cerrárselo a los de NS. En definitiva, los semáforos van alternando entre las direcciones NS y EW en intervalos de 1 minuto.

2.- Si algún peatón pulsa el botón de paso, todos los semáforos se ponen en rojo durante un minuto, permitiendo al peatón atravesar cualquiera de las calles. Pasado dicho minuto se permitirá de nuevo el paso a los vehículos en dirección NS durante un minuto volviendo a la secuencia descrita en 1.

La señal de reloj que rige el comportamiento del circuito de control tiene un periodo de un minuto de duración y cuando un peatón pulsa el botón de paso, la variable X se pone inmediatamente a "1" lógico hasta pasado el flanco activo del reloj.

Utilizando el siguiente convenio para las variables de entrada y salida:

X: "0" - Ningún peatón pulsa el botón de paso.

"1" - Un peatón pulsa el botón de paso.

Z₁ , Z₂: "0" Semáforo en rojo

"1" Semáforo en verde

a) Diseñar el circuito secuencial síncrono (como autómata de Moore) que implementa a TC, utilizando para ello el mínimo número de Flip-flops T y las puertas NAND e inversores que sean necesarios. Indicar sobre el circuito las partes de que consta un circuito secuencial síncrono de Moore.

b) ¿Qué elementos añadirías al sistema para hacer que X valga "1" al pulsar el botón de paso y vuelva después a "0" lógico al abrirse el paso para los peatones?

20. - Se pretende diseñar un sistema digital de control del nivel de agua en un pantano. Esta función se realiza controlando el caudal de salida por un aliviadero, el cuál puede ser establecido por medio de las señales $C_1 C_0$ de acuerdo con la siguiente tabla:

Entrada control electro-válvula	Caudal de desagüe
$C_1 C_0$	
0 0	Caudal nulo
0 1	$(1/3)C_{max}$
1 0	$(2/3) C_{max}$
1 1	C_{max}

siendo C_{max} el caudal máximo del aliviadero.

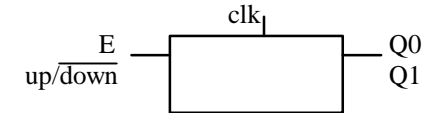
Un detector de nivel determina si el nivel de agua está por debajo del nivel mínimo del pantano N_{min} , o por encima del máximo N_{max} , codificando estos eventos por medio de las señales DN1 y DN0, de tal forma que:

DN1	DN0	NIVEL
0	0	por debajo mínimo $N < N_{min}$
0	1	por encima mínimo y debajo máximo $N > N_{min} \quad N < N_{max}$
1	*	por encima máximo $N > N_{max}$

El control debe mantener el nivel entre los límites N_{min} y N_{max} , de tal forma que cuando el nivel baje por debajo de N_{min} se debe reducir el caudal de salida, y cuando sea superior al N_{max} se debe incrementar el caudal de salida, tomándose las decisiones en los flancos de subida del reloj CLK, estando las señales DN1 y DN0 sincronizadas con dicho reloj.

Se pide:

a) Realizar el diagrama de flujo y la tabla de estados del control, de acuerdo con una estructura tipo Moore. Implementar el circuito utilizando una memoria ROM y un contador reversible de 4 estados cuya estructura es la siguiente:



b) Se desea que adicionalmente el control genere 2 señales de alarma A_{min} y A_{max} de acuerdo con la siguiente lógica:

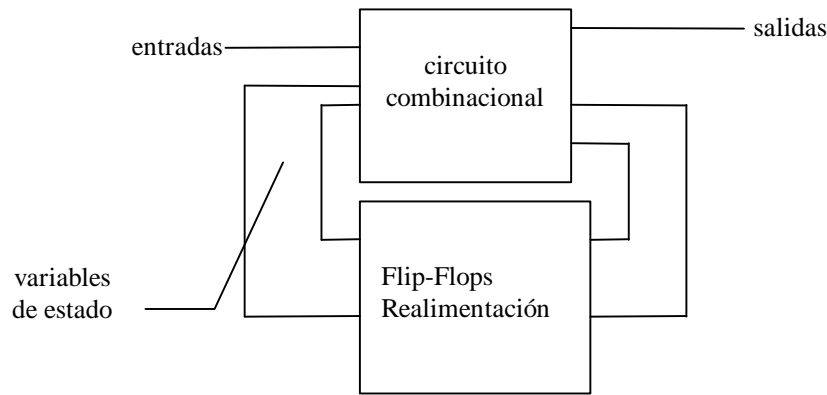
A_{min} : se activa ($A_{min}=1$) si el nivel está por debajo de N_{min} y el caudal de salida es nulo.

A_{max} : se activa ($A_{max}=1$) si el nivel supera el valor máximo N_{max} y el caudal de salida es máximo.

Indicar cuál sería el nuevo diagrama de flujo del sistema.

Nota: Las salidas A_{min} y A_{max} se pueden introducir fácilmente en el diagrama antiguo considerándolas como salidas de Mealy.

21. - En el circuito secuencial de la figura, determinar razonadamente la máxima frecuencia de reloj a la que puede trabajar, siendo t_s el tiempo de setup de los Flip-Flops, t_{dr} el tiempo de retardo de los Flip-flop y t_d el tiempo de retardo del circuito combinacional. ¿Qué ocurriría si el tiempo t_h (tiempo de hold) de los Flip-flops fuese mayor que $t_{dr}+t_d$?



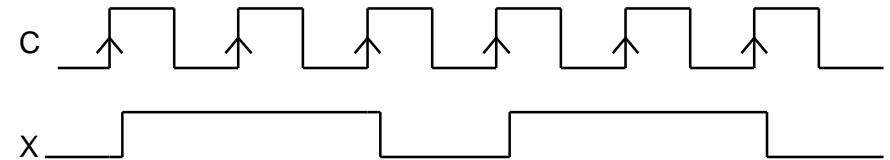
22. - Se desea realizar un circuito secuencial síncrono para el control de la inicialización y selección del modo de funcionamiento de una máquina de acuerdo con las siguientes especificaciones:

- Dispondrá de dos terminales de entrada, uno para la señal de entrada E, y otro para la señal de reloj C y dos de salida: S1 y S2.
- La señal de entrada E está sincronizada con el flanco de bajada del reloj.
- Inicialmente, esperará la llegada de un "1" por el terminal E (actúa como señal de arranque). Las salidas permanecerán a 0 mientras no llegue la señal de arranque.
- Al llegar la señal de arranque, el terminal de salida S1 entrega un "1" y S2 entrega un "0".
- Durante el siguiente pulso de reloj se ignora la señal E, permaneciendo las salidas a "0".
- Si al llegar el siguiente pulso por C, la entrada E es "0", se pasa a la situación inicial, en caso contrario, continua la secuencia. En ambos casos las salidas se mantienen a "0".
- Si los dos bits siguientes recibidos por E son iguales, la salida (S1, S2) será "01", y si no lo son "10". Este valor lo tomarán durante el ciclo de reloj en el que se recibe el segundo bit. En ambos casos se vuelve al estado inicial. En la recepción del primer bit de esta secuencia, las salidas permanecerán a 0.
- Se utilizarán flip-flops J-K activados por el flanco de bajada para diseñar el circuito.

Diseñar el circuito que implementa dicho sistema utilizando en el sistema combinacional exclusivamente puertas NAND y en la realimentación el mínimo número de flip-flops posible.

23. - Diseñar un circuito secuencial síncrono con una entrada X y una salida Z de modo que $Z=1$ si la entrada X en el ciclo n difiere de la del ciclo inmediatamente anterior, es decir, de la X en el ciclo n-1.

- Realizar el diseño como autómata de Moore e implementarlo con puertas lógicas NAND y Flip-flops T activados por el flanco de subida de la señal de reloj. Indicar en el esquema final del circuito las partes de que consta el mismo.
- Realizarlo como autómata de Mealy e implementarlo utilizando un registro de desplazamiento de Flip-flops D con entradas asíncronas directas de set y reset.
- ¿Qué secuencia realizará la salida Z del circuito del apartado a) y del apartado b) para la secuencia de entradas X dibujada? Suponer que inicialmente $Z=0$.



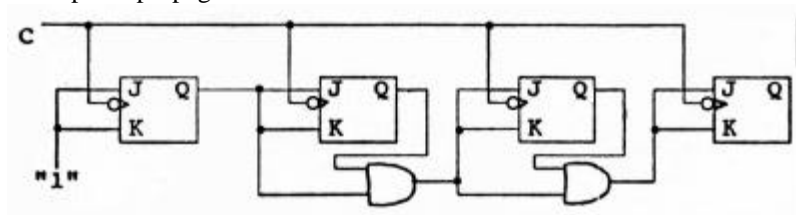
24. - Un contador binario como el de la figura está formado por Flip-flops y puertas lógicas cuyas características son:

Flip-flops:

- Tiempo de propagación de las salidas desde el flanco activo: 20 ns
- Tiempo de "set-up": 5 ns
- Tiempo de "hold": 5 ns

Puertas lógicas:

- Tiempo de propagación: 10 ns



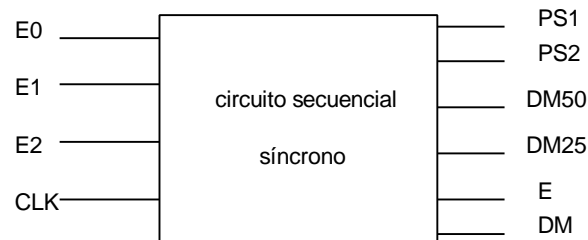
- ¿Funcionaría este circuito correctamente con una señal de reloj de 1 MHz? Razone la respuesta.
- En caso de contestar afirmativamente a la pregunta anterior, calcule cuál sería la frecuencia máxima de funcionamiento de este circuito.
Mega $\Rightarrow 10^6$ nano $\Rightarrow 10^{-9}$

25.- Una máquina de venta automática consta de 5 entradas EN, M50, M100, P1 Y P2. Permite la utilización de monedas de 50 y 100 ptas y proporciona dos productos cuyo precio es de 75 y 125 ptas. Su circuito digital interno consta de un circuito combinacional cuyas entradas son las cinco anteriormente mencionadas y sus salidas E0, E1, y E2 y un circuito secuencial síncrono que recibe las señales E2, E1, E0 como entradas las cuales están sincronizadas con el reloj CLK (ver figura). Los

eventos que se pueden producir en la maquina son los representados en la siguiente tabla (las entradas son todas activas en alta):

E0	E1	E2	SEÑAL ACT.	EVENTO
*	*	0	NE	No hay evento
0	0	1	M50	Se ha introducido una moneda de 50 ptas.
0	1	1	M100	Se ha introducido una moneda de 100 ptas.
1	0	1	P1	Petición del producto P1, cuyo precio es de 75 ptas.
1	1	1	P2	Petición del producto P2 cuyo precio es de 125 ptas.

Un circuito secuencial síncrono produce las siguientes salidas: PS1, PS2, DM50, DM25, E y DM



PS1 y PS2 (señales para suministrar los productos P1 y P2 respectivamente) se activarán si al producirse el evento P1 y P2 el dinero introducido es igual o superior al precio del producto, es decir, 75 ó 125 ptas respectivamente.

DM50 y DM25 son las señales que realizan la devolución del dinero al activarse P1 o P2, de tal forma que la cantidad devuelta sea igual a la diferencia entre el dinero introducido y el precio del producto. DM50=1 activara la devolución de 50 ptas y DM25 la de 25 ptas.

La señal E se activa para indicar que la cantidad de dinero introducida es inferior al precio del producto solicitado P1 o P2.

La señal DM se activa para indicar que la cantidad de dinero acumulada excede las 150 ptas y activa otro mecanismo que devuelve la última moneda introducida.

El comportamiento del control debe ser el siguiente:

Memorizar la cantidad de dinero introducida desde el inicio de una operación de venta. En el caso de que la introducción de una nueva moneda suponga superar una cantidad acumulada de 150 ptas, la moneda será devuelta (activar DM), y el control se mantendrá en el mismo estado, es decir recordando la cantidad acumulada anterior a la introducción de la moneda que hizo exceder de 150 ptas.

Si al activarse P1 o P2 la cantidad de dinero acumulada es inferior al precio del producto seleccionado, se activará E y se mantendrá el mismo estado, o sea se recordará la cantidad acumulada.

Al activarse P1 o P2 y haber suficiente dinero acumulado, se procederá a activar PS1 o PS2, así como a activar las señales de devolución de dinero adecuadas (DM50, DM25), pasando a un estado de cantidad acumulada de cero ptas.

Se pide:

a) Dibujar el diagrama de flujo del circuito secuencial síncrono considerándolo como un autómata de Mealy, especificando claramente que situación representa cada uno de los estados.

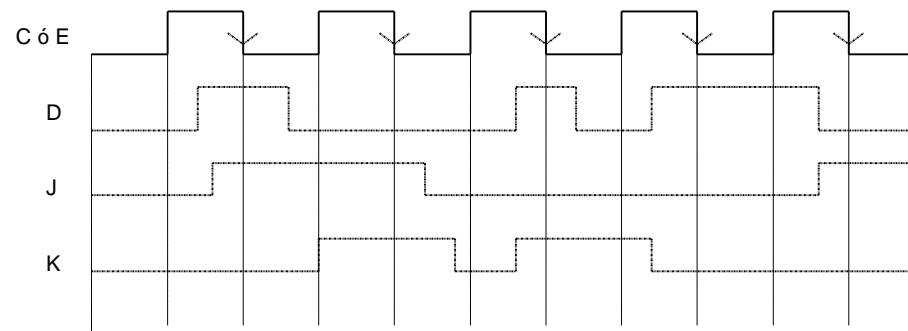
b) Implementar a continuación el circuito utilizando una memoria ROM y el mínimo número de Flip.flops J-K. Especificar claramente el tamaño mínimo de la ROM así como sus contenidos.

c) Indicar con qué circuito combinacional de mediana escala de integración (no compuertas lógicas) se podría implementar el circuito combinacional con entradas EN, M50, M100, P1, P2 y salidas E2, E1, E0. Implementarlo utilizando dicho elemento, es decir, indicar donde se deben conectar las entradas y salidas.

26. - Dibujar la secuencia que seguirían las salidas de:

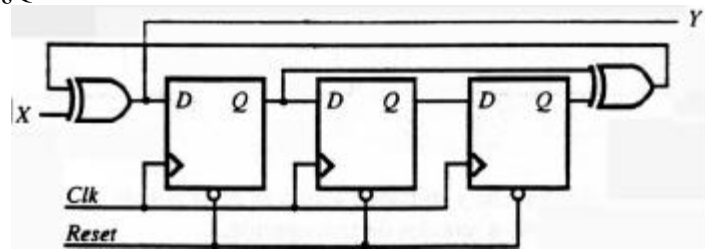
- a) Un F-F D
- b) Un cerrojo dinámico (señal de habilitación activa en baja)
- c) Un F-F JK

ante la siguiente secuencia de entradas.



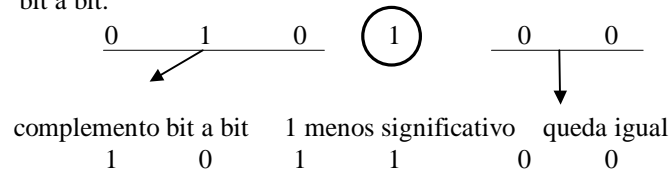
Los F-F's están activados por flancos y su flanco activo es el de bajada. Inicialmente se considerarán todas las salidas a 0. Despréciense los retardos de propagación.

27. – Analiza el circuito secuencial síncrono de la figura. A la vista de su diagrama de flujo, ¿Qué función realiza?



28. - El complemento a dos de un número binario se puede calcular de la siguiente manera:

- Los bits situados a la derecha del 1 menos significativo quedan como están, es decir siguen siendo ceros.
- Los bits situados a la izquierda del 1 menos significativo se complementan bit a bit.



Ejemplo: el complemento a dos del número 010100 es el número 101100.

Diseñar un circuito secuencial síncrono con una entrada: X y una salida Z de modo que por la entrada X se transmite secuencialmente un número binario, comenzando por el bit menos significativo y por la salida se obtiene a la vez que aparecen los bits del número por la X, también secuencialmente comenzando por el bit menos significativo, el complemento a dos de este número. El sistema se inicializará a través de las entradas asíncronas directas de los F-F's que colocan la salida Z a 0. Una vez inicializado, se comienza a transmitir el número binario por la entrada X. Realizar el diseño como un autómata de Mealy, con F-F's tipo J-K y las puertas lógicas necesarias.

¿Como se modificaría el diagrama de flujo del circuito si, en vez de inicializar utilizando las entradas directas de los F-F's se añade una entrada síncrona Y que actúa como inicializador?. Y=0 provoca el paso a un estado de espera en el que Z=0, y en este estado queda el sistema hasta que Y=1. En el momento en que Y=1 de nuevo se comenzará a calcular el complemento a dos.

29.- Se utiliza un circuito secuencial MON para poder vigilar el estado de un paciente en un hospital. La entrada al circuito secuencial es un número binario A_1A_0 que varía

entre 0 (00) y 2 (10) y que indica el estado del paciente. Si el estado es normal, el valor de dicho número es 1 (01). Si nos encontramos ante un estado de emergencia, el número toma el valor 0 (00) o 2 (10). El valor de A_1A_0 se actualiza cada 2.5 segundos. Si permanece en 0 o en 2 durante 5 segundos seguidos o más, el circuito debe activar una alarma en el cuarto de las enfermeras, para que éstas suministren al paciente la medicación necesaria, permaneciendo encendido hasta que las enfermeras pulsen un interruptor $X=1$. Usando exclusivamente flip-flops D y una memoria ROM diseñar el MON teniendo en cuenta que el periodo de la señal de reloj del sistema es de 2.5 segundos y que el número A_1A_0 está sincronizado con ella. Indicar claramente tanto el tamaño como los contenidos de la memoria ROM.

30.- Una central que suministra energía eléctrica dispone de 4 generadores, cada uno de los cuales puede producir una potencia máxima de 200 Kw. El funcionamiento de la central es el siguiente :

- El primer generador siempre está funcionando, por pequeño que sea el consumo demandado. El segundo generador entra a funcionar cuando el consumo llega a 200 Kw, el tercero cuando llega a 400 Kw y el cuarto cuando llega a 600 Kw.
- Se ha dado cierta histéresis en la desconexión de los generadores, de tal forma que el cuarto generador se desconecta cuando el consumo baja por debajo de 500 Kw, el tercero cuando lo hace por debajo de 300 Kw y el segundo por debajo de 100 Kw.
- En todo momento la central recibe información sobre la potencia demandada a través de tres hilos A, B y C, con el siguiente código.

ABC	CONSUMO (Kw)
0 0 0	0 < consumo < 100
0 0 1	100 < consumo < 200
0 1 0	200 < consumo < 300
0 1 1	300 < consumo < 400
1 0 0	400 < consumo < 500
1 0 1	500 < consumo < 600
1 1 0	600 < consumo < 700
1 1 1	700 < consumo < 800

- La variación de la potencia demandada a la central es siempre continua e inferior a 100 Kw/s.

Se desea diseñar un autómata de Moore que controle a través de tres señales el funcionamiento de los generadores segundo, tercero y cuarto (activos en alta). Construir el circuito con el mínimo número de flip-flops JK y una ROM, indicando claramente tanto las conexiones a realizar como los contenidos de la memoria.